

Standardschnittstellen für System on Chip Design

IP-Blöcke machen eine zeitgerechte und kostengünstige Entwicklung erst möglich.

Im SoC-Markt setzen die meisten Unternehmen auf bereits fertiggestellte, vorverifizierte Funktionsblöcke. Entwickler können diese IP-Blöcke aus existierenden Produkten wiederverwenden oder von externen Anbietern zukaufen. Sie vereinfachen das Design hoch komplexer SoCs und machen eine zeitgerechte und kostengünstige Entwicklung erst möglich. PETER ALDWORTH, TIM MACE

Für die kleinen, leistungsfähigen und noch dazu kostengünstigen Geräte, die heute am Markt gefragt sind, ist es notwendig, möglichst viele Gerätefunktionen durch einen Chip zu realisieren. Ziel ist es, das Gerät durch einen einzigen Chip zu steuern. Solche hochintegrierten System on Chip (SoC) Bauteile sind in der Regel sehr leistungsfähig und zuverlässig, verbrauchen wenig Leistung und zeichnen sich durch einen einfachen Aufbau aus. Da im wettbewerbsintensiven SoC-Markt die Entwicklungszeit und -kosten eine entscheidende Rolle spielen, setzen die meisten Unternehmen auf bereits fertiggestellte, vorverifizierte Funktionsblöcke. Unternehmen können diese IP-Blöcke (Intellectual Property) aus existierenden Produkten wiederverwenden (Design-Reuse), oder von externen Anbietern zukaufen. Sie vereinfachen das Design hoch komplexer SoCs mit teilweise über 100 Millionen Transistoren und machen eine zeitgerechte und kostengünstige Entwicklung erst möglich.

Integration über Standardschnittstellen

Im Entwicklungsprozess ist ausschlaggebend, dass die Funktionsblöcke möglichst schnell, fehlerfrei und kostengünstig zu einem SoC integriert werden. Die Verbindung der einzelnen IP-Blöcke untereinander wird damit zu einem der entscheidenden Probleme. Die Schnittstellen der einzelnen IP manuell anzupassen ist dabei weder realistisch noch wünschenswert, der Aufwand an Zeit und Kosten wäre einfach zu hoch. Statt dessen sind standardisierte Schnittstellen und Kommunikationsprotokolle

gefragt. Mit der AMBA-Spezifikation (Advanced Microcontroller Bus Architecture), stellt ARM eine solche standardisierte Verbindungsstruktur für IP-Cores zur Verfügung. Sie ist unabhängig vom eingesetzten Prozessor und der verwendeten Technologie und macht es damit möglich, Peripherie- und System-Makrozellen über unterschiedlichste Halbleiterprozesse hinweg wieder zu verwenden. Der IP-Interconnect-Standard AMBA vereinfacht die Integration von IPs in einem Chip und dient damit als Grundlage für das Design leistungsfähiger Systeme auf Basis einer gemeinsamen Schnittstelle. Da ARM die Spezifikation von AMBA offengelegt hat und eine kostenfreie Nutzung erlaubt, konnte sich AMBA schnell am Markt etablieren. Neben einem breiten IP-Angebot unterschiedlicher Anbieter stehen den Entwicklern zahlreiche EDA-Tools zur Verfügung, die AMBA unterstützen.

Die Struktur der AMBA Methodologie

Die AMBA-Spezifikation beschreibt einen On-Chip-Kommunikationsstandard für leistungsfähige SoC-Bauteile, die 32- und 64-Bit-Mikroprozessoren benutzen. Zur Definition gehören verschiedene Bustypen: AHB (AMBA High Performance Bus) wurde für On-Chip-Verbindungen mit großer Bandbreite entwickelt und eignet sich für die Verbindung der schnellen Komponenten wie CPU und Speicher. Dabei ist der AHB auf höhere Busgeschwindigkeit und effiziente Arbeit mit Standard-Design-Abläufen ausgerichtet. APB (AMBA Peripheral Bus) ist optimiert für geringe Leistungsaufnahme und eine einfache Schnittstelle. Die Datenrate ist ge-

PETER ALDWORTH ist Hardware Systems Architect bei Arm Holdings plc in Cambridge, England

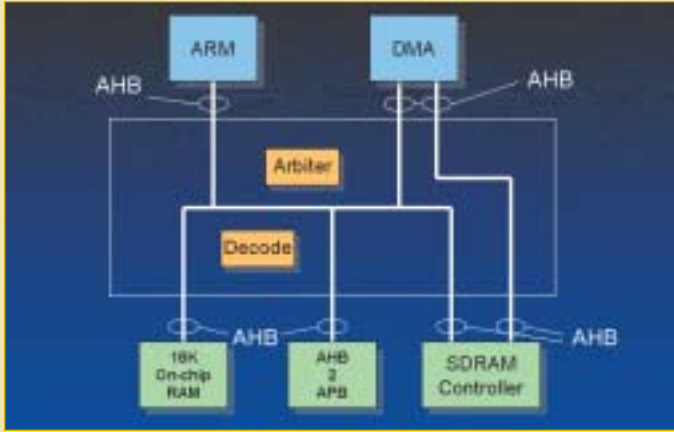
KONTAKT
T +44/1223/400-0
Peter.aldworth@arm.com



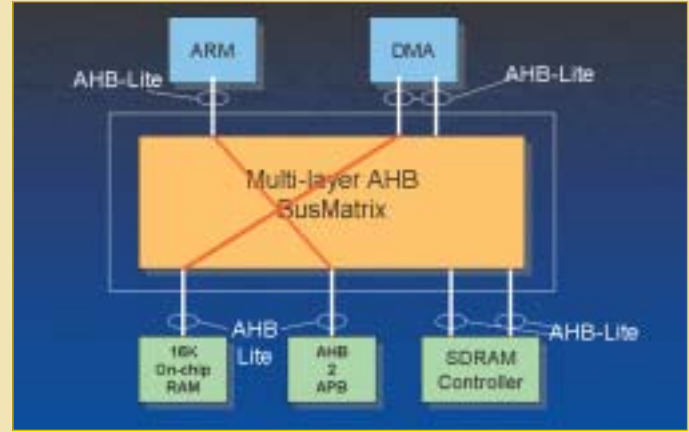
TIM MACE ist AMBA – PrimeCell Product Manager bei Arm Holdings plc in Cambridge, England

KONTAKT
T +44/1223/400-613
Tim.mace@arm.com





AMBA - Bus Based Design



Mult-Layer AHB & AHB Lite

ringer, reicht aber für die meiste Peripherie, wie Timer, Interrupt-Controller, UARTs oder I/O-Ports aus. Die Verbindung der Teilsegmente erfolgt über eine Bridge.

Multi-Layer AHB und AHB-Lite

Die Leistungsfähigkeit der AMBA Bussysteme kann den Anforderungen der jeweiligen Anwendung flexibel angepasst werden. Statt mit 16/32 Bit können die Bussysteme auch mit bis zu 128 Bit aufgebaut werden. Bei Multi-Prozessorsystemen kann die Leistung optimiert werden, indem der Bus in mehrere AHBs aufgeteilt wird. Bei Multi-Layer AHB schließlich stehen mehrere Busschichten zur Verfügung, von denen jede mit jedem Slave verbunden ist. Damit lassen sich komplexe Multimaster-Systeme und flexible Architekturen aufbauen, die Latenzzeiten werden reduziert und die verfügbare Busbandbreite noch weiter erhöht. Bei Systemen mit geringer Komplexität und mit einer Multilayer AHB-Architektur ist meist nur ein

AHB-Master pro Bus vorhanden. Die Master-Schnittstelle kann in diesem Fall durch die Verwendung des AHB-Lite-Protokolls vereinfacht und optimiert werden.

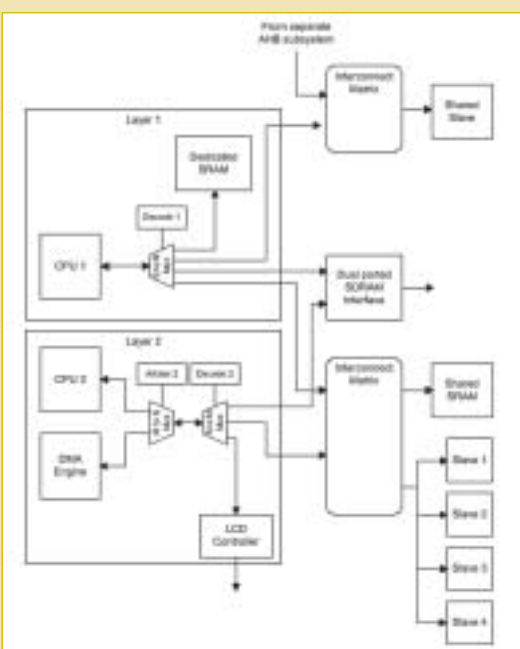
AXI-Protokoll für steigende Taktraten

In den nächsten Jahren wird die Komplexität und die Integrationsdichte der SoCs weiter zunehmen. Verlangt werden steigende Taktraten bei geringerer Leistungsaufnahme. Die nächste Generation von AMBA sollte deshalb die hohen Taktraten unterstützen, sich außerdem als Schnittstelle für unterschiedliche Bauteile eignen, eine flexible Implementierung von Interconnect-Architekturen ermöglichen und rückwärtskompatibel zu den AHB- und APB-Schnittstellen sein. Ein wichtiger Teil dieser nächsten Generation ist deshalb das im Sommer 2003 vorgestellte Advanced Extensible Interface (AXI) Protokoll, das in sehr leistungsfähigen SoCs die Kommunikation noch beschleunigt – und gleichzeitig die Leistungsaufnahme auf niedrigem Niveau hält. Neben einer unidirektionalen Kanalarchitektur sorgen beim AXI-Protokoll Register Slices, Burst-Adressierung, die Möglichkeit zur Datenverarbeitung in beliebiger Reihenfolge und zur Zusammenfassung von Adressen sowie Multi-Layer-Bussysteme für sehr schnelle Interconnect-Strukturen. Die höhere Leistungsfähigkeit, die dadurch erzielt wird, prädestiniert das Protokoll für die Verarbeitung von Datenströmen mit hoher Bandbreite, beispielsweise in Multimedia-Anwendungen. Da die Datenströme nicht nur schneller verarbeitet und weitergeleitet werden, sondern auch keine Zwischenspeicherung mehr notwendig ist, sind kleinere Speichergrößen möglich. Außerdem können mehrere Transaktionen gleichzeitig ausgeführt werden. Dies reduziert die Leistungsaufnahme des Chips, da dieser die Aufgaben schneller abarbeiten und früher in den Ruhemodus gehen kann. Die neue Architektur erhöht die Flexibilität und die Leistung beim Design und beim Test neuer

Chips. In vielen Fällen, in denen bisher mehrere unterschiedliche Interconnect-Strukturen erforderlich waren, lässt sich dies nun komplett mit Hilfe der AMBA-Spezifikation lösen. Dadurch ergeben sich bei einer höheren Leistungsfähigkeit des Chips niedrigere Entwicklungskosten und eine kürzere Markteinführungszeit.

Werkzeuge für die Entwicklung

Die steigende Komplexität der SoCs und bessere Entwicklungswerkzeuge bedingen sich gegenseitig. So werden bereits in wenigen Jahren SoCs mit mehr als einer Milliarde Transistoren erwartet – diese Komplexität ist ohne die entsprechenden Tools nicht mehr in angemessener Zeit zu bewältigen. Die bereits existierende Palette von Werkzeugen, die den Entwicklungsprozess vereinfachen und beschleunigen, wird deshalb weiter ausgebaut werden. Von ARM stehen neben der Schnittstelle AMBA beispielsweise ein Toolkit zur Erstellung von Komponenten und SoCs auf der Basis des AMBA-Bussystems, ein Design Flow Guide, Design Sign-off Modelle (DSMs) und Testvektoren, eine komplette Software-Entwicklungslösung, ein leistungsfähiger JTAG-basierender In-Circuit Emulator für das Debugging und eine SoC-Entwicklungsplattform, die ein frühzeitiges Prototyping vor der Fertigstellung des Halbleiters ermöglicht, zur Verfügung. Neben der IP werden auch komplette Design Flows und Referenzmethoden angeboten. Als nächsten Schritt bietet ARM bereits seit einiger Zeit die PrimeXsys Plattform an, eine erweiterbare Standardplattform für spezifische Anwendungsbereiche begonnen. Diese besteht aus bereits validierten anwendungsspezifischen Hardware-Subsystemen mit Entwicklungs-Tools, Anwendungssoftware und Ports für unterschiedlichste Betriebssysteme. Mit Hilfe dieser Plattform kann die Markteinführungszeit für leistungsfähige Designs erfolgreich verkürzt werden. ■



Beispiel eines Multi-Layer AHB-SYSTEMS

Weiterführende Infos auf www.duv24.net

more @ click DV054251 >

Nachgefragt:

DESIGN & VERIFICATION spricht mit Peter Aldworth, Hardware Systems Architect bei ARM über APB (AMBA Peripheral Bus) und AXI (Advanced Extensible Interface).

■ **D&V: APB ist optimiert für geringe Leistungsaufnahme und eine einfache Schnittstelle. Die Datenrate ist geringer – was genau ist damit gemeint ?**

Peter Aldworth: Die niedrigere Datenrate resultiert daraus, dass AHB ein Bus-Protokoll mit Pipeline ist, das einen maximalen Durchsatz von einem Datum (der nativen Busbandbreite) pro Zyklus erlaubt. APB dagegen ist ein Protokoll ohne Pipeline, der maximale Durchsatz ist daher auf ein Datum alle zwei Zyklen begrenzt. Wenn eine AHB-Verbindung und eine APB-Verbindung die gleiche Bandbreite haben und beide mit derselben Taktrate laufen, dann liegt der theoretische maximale Durchsatz des APB-Bus halb so hoch wie der des AHB-Bus. Da der APB-Bus für Peripherie-IP mit niedriger Performance genutzt wird, wird er außerdem oft niedriger getaktet als AHB-Bus – was die Datenrate des APB-Bus natürlich weiter reduziert.

Die einfache Schnittstelle bezieht sich auf die Tatsache, dass das APB-Protokoll in AMBA 2.0 nur drei Kontrollsignale definiert (PWRITE, PSEL und PENABLE), während das AHB-Protokoll mehr als 17 Kontrollsignale beschreibt. Da das APB-Protokoll eine Schnittstelle ohne Pipeline mit einfachen Kontrollsignalen ist, ist wesentlich weniger Logik nötig um programmierbare Register in Peripherie zu implementieren. Dies vereinfacht die Verifikation für die Peripherie-Entwicklung und kann die Zahl von Gates in einfacher Peripherie-IP spürbar verringern. Dies hängt allerdings auch vom jeweiligen Design ab.

Darüber hinaus haben die APB-Subsysteme in einem Design oft eine geringere Leistungsaufnahme aufgrund der folgenden Features: niedrigere Taktrate, weniger Schnittstellensignale, weniger Umschalten bei den Schnittstellensignalen und geringere Anzahl von Gates für die Schnittstellenlogik.

Das APB-Subsystem kann auch in separate Bereiche partitioniert werden, die angegliederte Funktionen beinhalten. Dies kann den Stromverbrauch weiter verringern, da die APB-Bereiche komplett heruntergefahren werden können, wenn sie nicht in Betrieb sind. Zudem ist auch die komplette Signalaufnahmefähigkeit über die Bereiche partitioniert. Dies spart Leistung, dadurch dass Leitungen in einem Bereich nur für einen bestimmten Zugang umgeschaltet werden.

■ **D&V: Durch die AMBA-Spezifikation ergeben sich bei einer höheren Leistungsfähigkeit des Chips niedrigere Entwicklungskosten. Können Sie sagen in welchen Größenordnungen diese liegen ?**

Peter Aldworth: Die Vorteile in punkto Performance und Entwicklungskosten bei der Nutzung von AMBA für die gesamte IP in einem SoC-Design nehmen mit wachsender Komplexität des SoC zu. Vor dem Hintergrund der wachsenden Komplexität von SoCs heißt dies, dass AMBA große Vorteile für moderne SoC-Designs bringen kann.

■ **D&V: Können Sie uns das etwas genauer an einem Beispiel erklären?**

Peter Aldworth: Stellen Sie sich den Fall eines SoC-Designs mit 3 Master und 8 Slave IP-Komponenten vor. Jede IP-Komponente hat eine proprietäre Bus-Schnittstelle. Der SoC-Designer muss nun ein gemeinsames Protokoll für die Verbindung zwischen den IP-Komponenten wählen. Alle Komponenten, die sich nicht nativ diesem Protokoll anpassen, müssen dann über eine Bridge angebunden werden, die der SoC-Designer möglicherweise völlig neu entwickeln muss. In diesem Fall sind die Entwicklungskosten sehr hoch, da der SoC-Designer ein Verbindungsschema für die unterschiedlichen IP-Komponenten entwerfen muss. Diese wird auch nur eine Einzellösung sein, die dem IP-Mix im jeweiligen Design entspricht, aber nicht einfach in künftigen Designs wiederverwendet werden kann.

Jede IP, die eine Bridge benötigt um das Protokoll zu übersetzen, wird zusätzliche Latenzzeit verursachen, wenn sie mit den anderen IP-Komponenten über die Bridge kommuniziert. Dieses Hinzufügen von Latenzzeit kann auch den Durchsatz, der in der Verbindung erreicht wird, verringern und so die Performance negativ beeinflussen.

Die Komplexität der individuell angepassten Interconnect-Strukturen und Bridges kann darüber hinaus auch die Taktrate beeinflussen, mit der ein Design arbeiten kann.

In einem komplexeren Design multiplizieren sich die Entwicklungskosten, da die Anzahl einzelner benötigter Bridge-Designs zunimmt. Die potentielle Performance wird sich auch entsprechend dem zusätzlichen Overhead durch diese zusätzlichen Bridges reduzieren.

Stellen Sie sich nun das selbe SoC-Design vor, wenn alle IP-Komponenten als AMBA Masters und Slaves implementiert werden. Die Entwicklungskosten verringern sich, da der SoC-Designer Standard-Verbindungen wiederverwenden kann, die zum gemeinsamen Protokoll passen. Die Anzahl benötigter Bridges reduziert sich dramatisch und für die benötigten Bridges

können Komponenten wiederverwendet werden, die nicht vom SoC-Designer extra entwickelt und wieder validiert werden müssen. Die Performance steigt, da keine zusätzlichen Bridges benötigt werden, und die erreichbare Taktfrequenz für die Verbindungsstruktur kann höher sein.

Ein SoC-Design auf der Basis von AMBA ist auch besser skalierbar, da zusätzliche IP-Komponenten nicht bedeuten, dass noch mehr Protokoll-Bridges hinzugefügt werden müssen. Es ist schwierig die Entwicklungskosten und die Performance zu quantifizieren, da diese von vielen Aspekten der SoC-Methodologie, der Komplexität des Designs, der Wahl der Bus-Topologie und der Implementierung abhängen. Die Taktfrequenz kann jedoch eingegrenzt werden – für einen generischen 0,18µm Prozess wären im schlechtesten Fall 166MHz für viele APB und AHB Verbindungsstrukturen möglich, während AXI bei Bedarf auf höhere Frequenzen skalieren könnte.

■ **D&V: Im Sommer 2003 wurde das Advanced Extensible Interface (AXI) Protokoll, das in sehr leistungsfähigen SoCs die Kommunikation noch beschleunigt, vorgestellt. Wo findet das Protokoll heute schon Einsatz?**

Peter Aldworth: Alle hoch leistungsfähigen IP-Komponenten der nächsten Generation, die ARM anbietet, werden mit dem AXI-Protokoll spezifiziert werden. Eine Reihe von IP- und SoC-Entwicklungen, die das AXI-Protokoll einsetzen, kommen demnächst auf den Markt. Leider sind genauere Details dieser Entwicklungen zur Zeit aber noch vertraulich.

■ **D&V: Als nächsten Schritt hat ARM bereits mit der Entwicklung erweiterbarer Standardplattformen für spezifische Anwendungsbereiche begonnen (PrimeXsys). Welche sind als nächste zu erwarten und wann können Entwickler mit ihnen rechnen?**

Peter Aldworth: Bisher hat ARM fünf Plattform-Produkte vorgestellt. Diese können in drei Kategorien eingeteilt werden:

Die offenen OS Plattformen für Anwendungsprozessoren umfassen die PrimeXsys-Plattformen ARM926EJ-S, ARM1136J-S und ARM1176JZ-S. Die ARM946E-S Dual Core PrimeXsys Plattform ist eine Echtzeit-OS-Plattform für embedded Anwendungen.

Außerdem wurde vor kurzem das ARM926EJ-S Prime Starter Kit Plattform-Produkt angekündigt. Diese Plattformen sind alle bereits verfügbar und werden von ARMs Partnern bereits in SoC-Designs eingesetzt. ARM entwickelt derzeit außerdem weitere Plattform-Produkte. ■