

Software Defined Radio erstmals vollständig umgesetzt

Der SDR Ansatz für 3G-Basisstationen senkt Systemkosten

Mit der Verfügbarkeit des ADSP-TS201S-Prozessors von Analog Devices senken namhafte OEM Hersteller von 3G-Basisstationen die Systemkosten erheblich. Der neue Ansatz vereinfacht den Aufbau einer Basisband-Signalverarbeitungslösung deutlich und kann als Plattform für verschiedene Standards von Wireless Communication Systems ohne weitere Änderungen an der Hardware eingesetzt werden. Der häufig verwendete Begriff des Software Defined Radio (SDR) wird erstmals vollständig umgesetzt. STEFAN HACKER



Basisband Board mit TigerSHARC Multi-Prozessor-Cluster

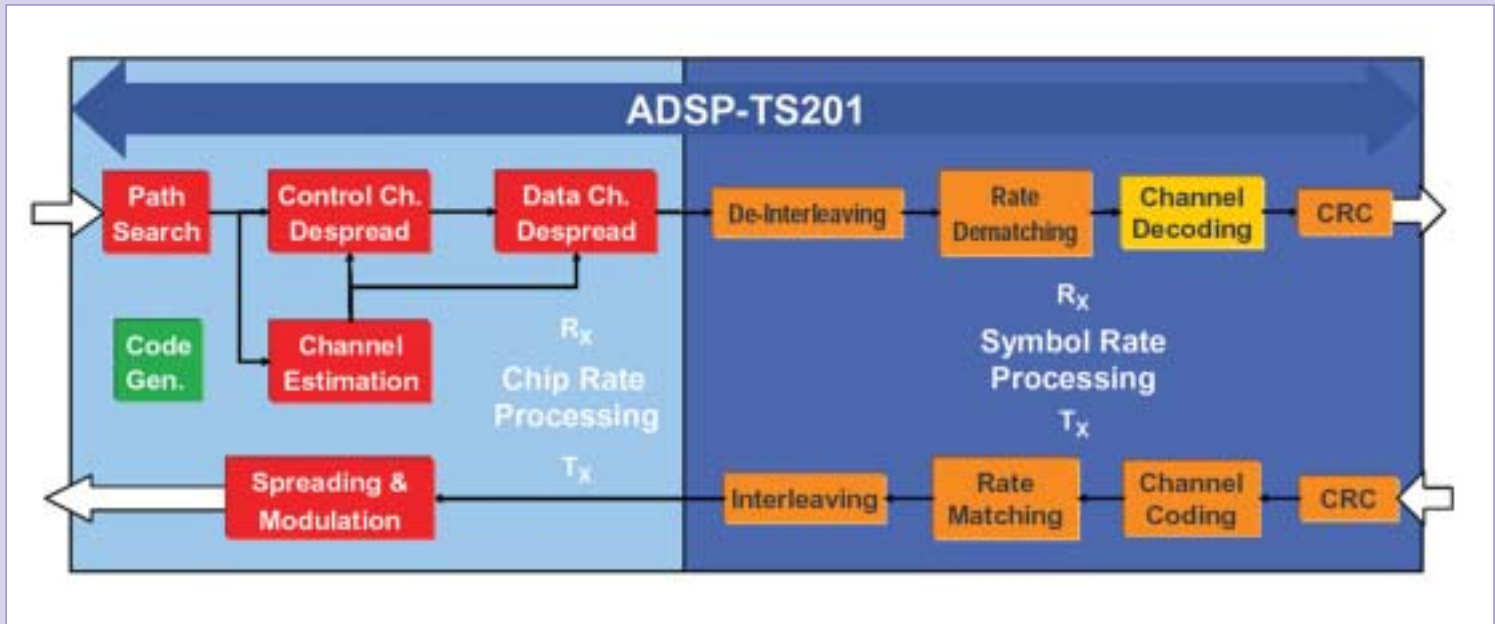


STEFAN HACKER ist System Engineering Manager - Embedded DSP Division bei Analog Devices

KONTAKT
T +49/89/76903-303
stefan.hacker@analog.com

OEM-Hersteller von Basisstationen stehen heute großen Herausforderungen gegenüber. Sie müssen bei der Konzeption ihrer nächsten Generation von Basisstationen die Erwartungen des Endmarkts unter Einhaltung einer knapp bemessenen Entwicklungszeit erfüllen. Dabei dürfen sie die Entwicklungskosten nicht aus den Augen verlieren, damit die Kosten für

den Systemansatz eingehalten werden. Namhaften Herstellern sind die Vorteile, die sich beim Aufbau eines 3G-Basisband-Designs für den W-CDMA-Standard mit einem vollständig Software-programmierbaren Prozessor ergeben, seit Jahren bekannt. Die Schwierigkeit bestand jedoch bisher darin, eine geeignete, leistungsfähige und kostengünstige Lösung zu finden, welche die Kosten- und Leistungsziele



Algorithmenkette von Chip- und Symbol-Rate in 3G-Systemen

einer Software-programmierbaren Basisband-Plattform erfüllt. Die Antwort auf diese Frage ist der ADSP-TS201S Prozessor von Analog Devices, mit dem ein neuer Systemansatz ermöglicht wird.

Der neue Ansatz

Die Signalverarbeitung im Basisbandmodem lässt sich in zwei größere Bereiche unterteilen: in Funktionen mit Datenraten mit Symboltakt (Symbolrate Processing) und solche mit Datenrate mit Chiptakt (Chiprate Processing). Basierend auf dem früheren Stand der Technik waren die Basisstations-Hersteller einhellig der Meinung, dass mehrere einzelne digitale Signalprozessoren (DSP) nur Funktionen der Symbol-Rate übernehmen können und für weitere Funktionen frei programmierbare FPGAs oder ASICs verwendet werden müssen. Die Herausforderung eines System des W-CDMA-Standards ist dabei die Zwischenspeicherung großer Datenmengen der Antennen in Echtzeit, die nur in schnellen und damit teuren externen Speichern abgelegt werden können. Durch die Vielzahl der verwendeten Komponenten, wie verschiedenste Speicher, ASICs und DSPs und die ebenfalls benötigte Verbindungslogik, ist der Systemaufbau sowohl auf Empfangs- und Sendeseite sehr komplex und inhomogen. Die Hardwarekosten sind dadurch bedingt enorm hoch und die Skalier- bzw. Wiederverwendbarkeit des Systems, auch zwischen verschiedenen Standards der 3. Generation von Mobilfunksystemen, ist sehr gering.

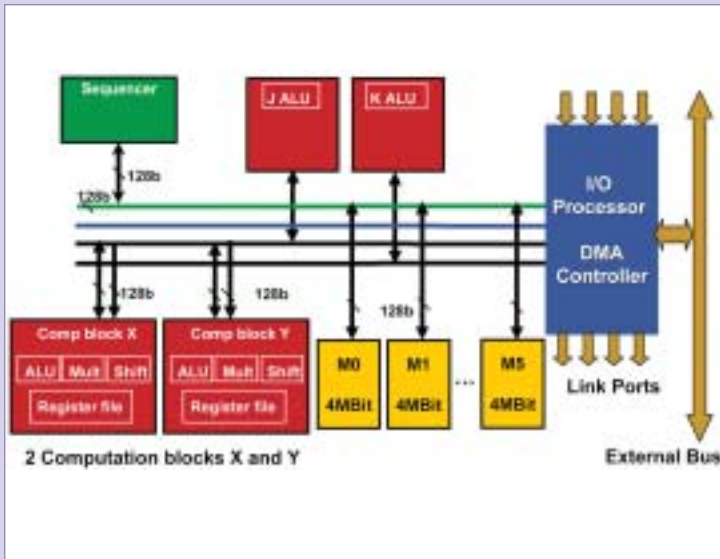
Bereits mit Erscheinen des ADSP-TS101S TigerSHARC Prozessors von Analog Devices im Jahr 2001, dem Vorgänger des ADSP-TS201S Prozessors, nehmen mehrere OEM-

Basistationshersteller den neuen Systemansatz wahr und stellen ihre neuen Softwareprogrammierbaren Plattformen vor. Das Grundkonzept ist dabei die Gruppierung mehrerer DSPs zu einem Multiprocessing-Cluster, der nun ausreichend schnellen Speicher zur Verfügung stellt, um alle Daten im internen Speicher der DSPs ablegen zu können. Alle Prozessoren der TigerSHARC-Familie sind auf diesen Clusterbetrieb ausgelegt und benötigen deshalb keine weitere Verbindungslogik. Die verfügbaren externen Schnittstellen erlauben dabei eine einfache Integration der Prozessorfarm in eine

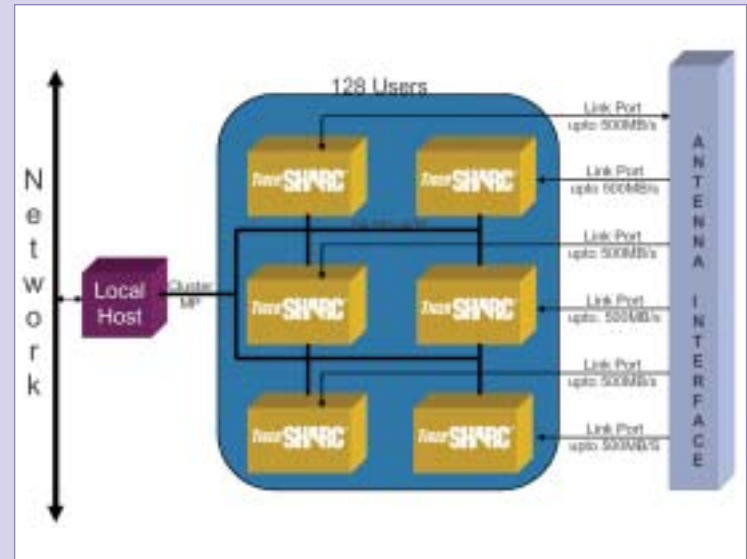
bestehende System-Architektur des OEM-Herstellers.

In der Signalverarbeitung werden die eingehenden Antennendaten durch den Prozessor nun mittels des Despread-Befehls effizient von der Chip-Rate auf die Symbol-Rate reduziert. Der Befehlssatz des Prozessors ist um mehrere Instruktionen ergänzt, welche die Programmierung der Forward-Error-Correction-Routinen, wie Turbo- und Viterbi-Decoder, erheblich beschleunigen, ohne dabei den Programmierer auf einen spezifischen 3G-Standard festzulegen. Beides waren bisher eigene ▶

Anzeige



Der ADSP-TS201 TigerSHARC-Prozessor



Lösung eines 3G-Systemansatzes mit ADSP-TS201 TigerSHARC

Aufgaben, die nur durch ASICs und nur wenig flexible Funktionsblöcke zu lösen waren. Als Beispiel für die Flexibilität des Ansatzes kann man die zukünftige Erweiterbarkeit nennen: ist das Ziel der Entwicklung nur der 2.5G-EDGE-Standard, kann dieses bereits mit einem einzelnen ADSP-TS101S TigerSHARC für einen Carrier erreicht werden.

Die Evolution

Die namhaften Hersteller von Basisstationen, die bereits mit ihrem ersten System auf den ADSP-TS101S Prozessor gesetzt hatten, können alle Module auf dem Software-kompatiblen ADSP-TS201S weiterverwenden, ein großer Beitrag zur Kostenreduktion während der Entwicklung der nächsten Generation. Durch die größere Leistungsfähigkeit des ADSP-TS201S werden weitere komplexe Funktionen der Signalkette, wie solche der Pfadsuche, der Kanalschätzung und des Random Access-Kanals, allein durch Software integriert, die es den Herstellern erlaubt, sich von ihrem Wettbewerb zu differenzieren.

Gegenüber herkömmlichen Basisstationen, bei denen die Funktionen zur Verarbeitung der Basisbandsignale auf Chip-Ebene mit geringer Flexibilität in ASICs realisiert werden, kann der Basisstationshersteller dank der programmierbaren Architektur des TigerSHARC-Prozessors ein komplett Softwareprogrammierbares Basisbanddesign für den W-CDMA-Standard aufbauen. Durch die Investitionen in eine komplette Softwarelösung ist der Hersteller ferner in der Lage, diese Software-Investitionen in die Entwicklung künftiger Basisstationen einzubringen, weitere wichtige Funktionen wie z. B. HSDPA einfach im Downlink zu ergänzen und damit Kosten zu sparen.

Damit die Vision des SDR-Ansatzes Realität wird, müssen mehrere TigerSHARC-Prozesso-

ren zu einer Prozessorfarm verbunden werden. Der seit einem Jahr verfügbare ADSP-TS201 TigerSHARC-Prozessor, verfügt im Vergleich zu seinem Vorgänger nun über 24 MBit Speicher auf Kerntakt-Geschwindigkeit, um noch mehr Platz für neue Algorithmen und deren Daten bereitzustellen. Zusätzlich verfügt der Prozessor über eine Correlation Logic-Unit (CLU), die Funktionen des Rake-Receiver mit einem hochparallelen Kreuzkorrelationsbefehl ermöglicht.

Eine Realisation solch eines W-CDMA SDR-Systems kann mit nur sechs ADSP-TS201-Prozessoren in einem homogenen Multiprozessor-Cluster aufgebaut werden. Dieses System unterstützt dabei mühelos 128 Sprach- oder 20 (384 k) Datenkanäle.

Ein einfaches Lastverteilungsverfahren sorgt dabei auf den Prozessoren für die entsprechende Bereitstellung der benötigten Ressourcen des Chip- und Symbol-Rate-Processings. Mittels dieses neuen Verfahrens können 40% des Aufwands und damit der Kosten gegenüber der bisherigen Architektur eingespart werden. Nachdem diese Plattform keine ASICs oder FPGAs zur Signalverarbeitung benötigt, ist das System für alle Standards der 3G-Kooperation geeignet, wie z.B. UMTS-FDD, CDMA2000, CDMA2000 EVDV oder TD-SCDMA, für die Analog Devices optimierte Software-Bibliotheken bereitstellt.

Zusammenfassung

Der ADSP-TS201 ist ein frei programmierbarer Prozessor ohne fest definierte Beschleunigerblöcke, welcher sich mit seinem auf Kommunikationsalgorithmen optimierten Befehlssatz besonders gut für den Einsatz in Basisstationen aller Standards der 3. Generation eignet. Der einfach zu realisierende Multiprozessor-Systemansatz erlaubt ein skalierbares System, das

der Basisstationshersteller den Anforderungen des Netzbetreibers einfach anpassen kann. Das Konzept und die Roadmap weiterer TigerSHARC-Prozessoren ist mit seiner Aufrüstbarkeit und Adaptionfähigkeit für aktuelle und künftige Standards geeignet und wird deshalb von führenden Herstellern von 3G-Basisstationen als Grundstein der kommenden Plattformen ausgewählt. ■

Dieser Beitrag als PDF und weiterführende Informationen (ähnliche Beiträge, technische Daten, Direktlinks zum Hersteller etc.) sind online verfügbar auf www.duv24.net

more @ click DV064202 >

Eckdaten des TigerSHARC Prozessors ADSP-TS201

- ▶ 600 MHz-Prozessorkern
- ▶ 24 Mbit interner Speicher mit Coretakt-Durchsatz
- ▶ SISD-, SIMD-, MIMD-Datenverarbeitung
- ▶ Interlocked, Protected Pipeline
- ▶ Doppelte Correlations Logic Units
- ▶ Sequenzer mit Branch Target Buffer
- ▶ Doppelte Datenadressgeneratoren
- ▶ 24 Mbit interner Speicher
- ▶ 32 GByte/s interne Bandbreite
- ▶ 8 unidirektionale Link Ports
- ▶ 32/64 bit breites Cluster Interface
- ▶ On-chip-Busarbitrierung
- ▶ 5 GByte/s externe Bandbreite