

Testmodi bei DC/DC-Schaltreglern

Neue Testmethoden analoger Bauelemente

Die zunehmende Komplexität von Halbleiterbauelementen (IS Integrierte Schaltung) und die steigende Nachfrage nach noch besserer Produktqualität, erfordern neue Techniken um die Bauteile schnellstmöglich und effizient zu testen. Dabei gehen die Bemühungen der Testingenieure in mehrere Richtungen um die Testbarkeit der komplexen Bauelemente zu gewährleisten. Das Ziel dabei ist die Entwicklungszeit neuer Bauelemente zu verkürzen, die Ausfallrate zu reduzieren und dies bei möglichst niedrigen Kosten. Dies erfordert die Entwicklung neuer, stabiler Testmethoden (DFT – Design for Test). Dieser Artikel beschreibt den Test analoger Bauelemente, mit Schwerpunkt auf Low Power DC/DC Schaltreglern. JOHN CONSTANTOPOULOS, WALTER NADLER

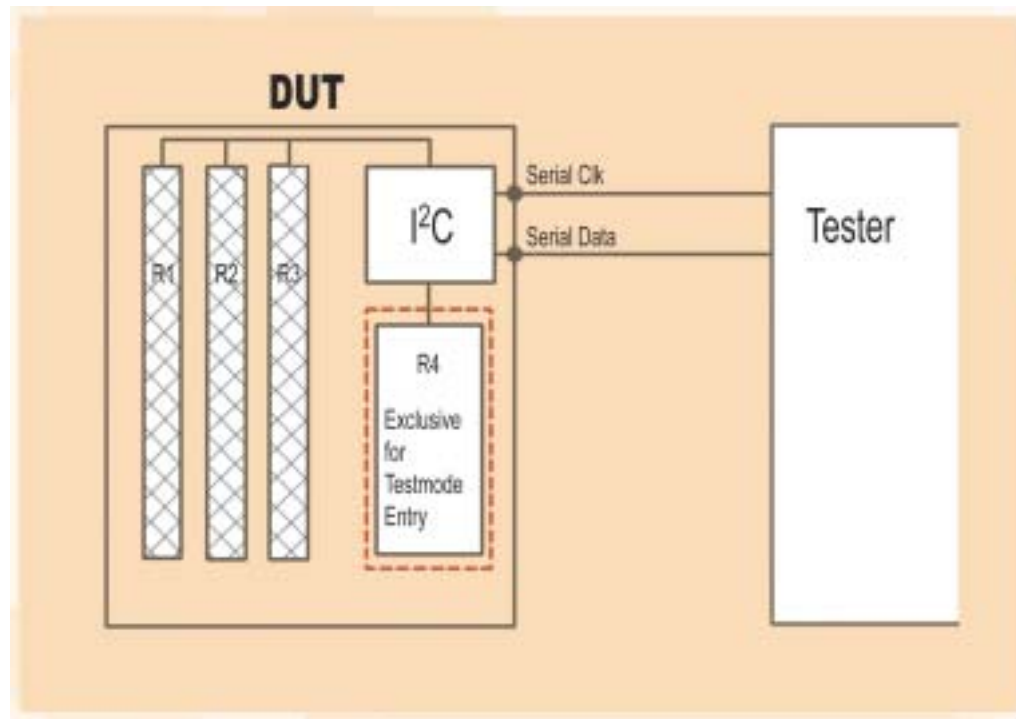


Abb.1: Serielles Interface (I²C)



JOHN CONSTANTOPOULOS
ist Produkt-/Testingenieur für
Portable Power Management
Products bei Texas Instrument
in Freising, Deutschland

KONTAKT
T +49/8161/803311
epic@ti.com.



WALTER NADLER
ist Produkt-/Testingenieur für
Portable Power Management
Products bei Texas Instrument
in Freising, Deutschland.

KONTAKT
T +49/8161/803311
epic@ti.com

Bisher benutzten Testingenieure meist applikative Tests um die Funktion der Bausteine zu überprüfen und zu gewährleisten. Diese Methode hat jedoch eine Reihe von Nachteilen:

- ▶ Die Qualität der Bausteine kann möglicherweise nicht garantiert werden, was zu einer höheren Anzahl von Kundenretouren führen kann. D. h. ein Baustein passiert den Funktionstest, Module funktionieren dennoch nicht einwandfrei und werden bei diesem applikativen Test übersehen. Diese Ausfälle treten dann erst später im Feld auf.
- ▶ Bei applikativen Tests treten häufig parasitäre Effekte auf, z.B. Streukapazitäten und Leitungsinduktivitäten, Leitungsübersprechen, lange Leitungen aber auch hohe Ströme im Betrieb, die einen Test auf Wafer-Ebene (Siliziumscheibe) erschweren oder gar unmöglich machen.
- ▶ Auch sind viele Funktionsmodule nicht unabhängig voneinander testbar. Hierzu zählt der

RDSon Widerstand von Leistungstransistoren in Schaltreglern.

- ▶ Ein applikativer Test kann auch die Fehlerdiagnose eines ausgefallenen Bausteins nicht unterstützen. Deshalb hat der Testingenieur auch keine eindeutige Aussage darüber, an welcher Stelle der Baustein warum ausgefallen ist. Das fehlende Wissen über das Fehlerbild erschwert und verlängert den Entwicklungsprozess eines neuen Bausteins.

Die Entwicklung immer besserer DFT-Methoden erlaubt es dem Testingenieur heutzutage auf einzelne interne Funktionsmodule zuzugreifen. Dies geschieht mit Bausteinspezifischen Testmodi.

Durch diese Technik wird sichergestellt, dass der Baustein auch applikativ richtig funktioniert und dass Ausfälle schnell und sicher erkannt werden und damit ausschließlich gute Bausteine zum Kunden gelangen. Die Anwendung von Testmodi bietet folgende Vorteile:

- ▶ Verbesserte Produktqualität
- ▶ Schnellere Marktverfügbarkeit
- ▶ Größere Testabdeckung, dadurch weniger unentdeckte Bauteilfehler
- ▶ Kürzere Testzeit/geringere Testkosten

In Zusammenarbeit mit dem Designer entwickelt der Testingenieur Möglichkeiten die funktionalen Blöcke eines Bausteins zu testen. Das Datenblatt stellt dabei die Basis für den Testplan dar. In diesem wird jeder Funktionsblock und die verwendete Testmethode genau beschrieben. Daraus wird auch ersichtlich, dass viele der Bausteinfunktionen nicht durch einen applikativen Test getestet werden kann. Es ist die Aufgabe des Designers durch Zusatzschaltungen einen einfachen und vollständigen Test zu ermöglichen. Dadurch ist es dem Testingenieur auch möglich die Testmodi für die internen Blöcke umzuschalten. Zunächst wird der Baustein in den Testmodezustand gebracht. Dies kann auf mehrere Arten geschehen.

Testmodeerkennung

Zusätzlich zum normalen Betrieb des Bausteins sind zusätzliche Schaltungsteile implementiert um die DFT-Funktionalität zu gewährleisten. Diese Schaltungen werden nur wirksam wenn der zugehörige Testmode aktiviert wird. D.h. der Testmode ist nur für die kurze Zeit aktiv in der dieser Funktionsblock während des Probetests (Scheibentests) oder beim Endtest geprüft wird. Während der normalen Funktion ist die DFT Schaltung unwirksam. Dies erfordert einen Kompromiss zwischen maximaler Testtiefe, was mehr Chipfläche benötigt oder weniger Testabdeckung mit weniger Chipfläche. Verschiedene bekannte Techniken erlauben es dem Testingenieur aus dem applikativen Mode (Normalzustand) in den Testmode zu gelangen. Der Zugriff auf den Testmode muss einfach möglich sein, darf aber den normalen Betrieb nicht beeinflussen. Die Methode für die Testmodeerkennung richtet sich nach Pinanzahl des Bausteins, Bausteinkomplexität, sowie der Anzahl der notwendigen Testmodi. Einige Methoden um in den Testmode zu gelangen sind:

- ▶ Serielles/paralleles Interface
- ▶ Spezielle Pins für Testmode
- ▶ Multilevel Spannungsfolge an ausgewählten Pins
- ▶ Neuordnung von Pins im Testmodus

Es gibt noch weitere Methoden wie JTAG (Joint Test Action Group) Interface, was speziell bei komplexeren Digitalbausteinen angewandt wird. Die vier vorgenannten Methoden, in den Testmode zu gelangen werden nachfolgend genauer beschrieben.

Seriell/paralleles Interface

Viele Bausteine verfügen bereits über ein bestehendes Interface (I²C, RS232), das zur Ansteuerung

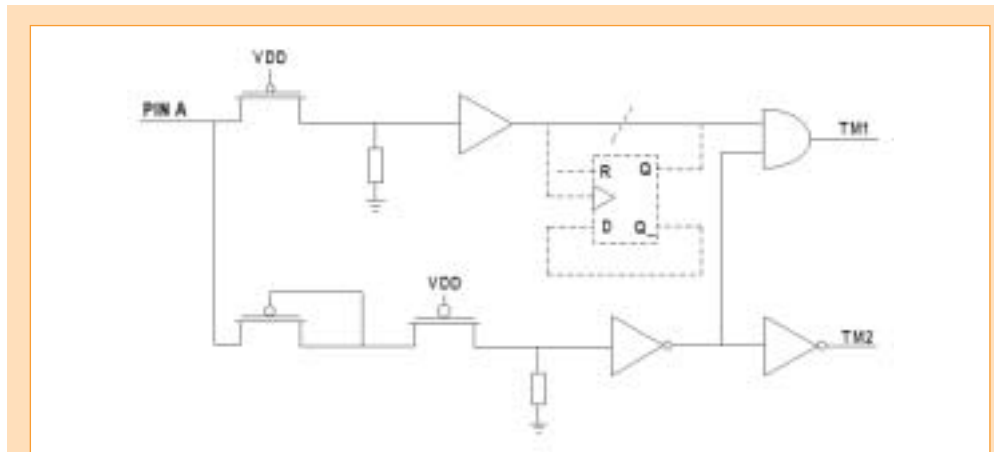


Abb. 2: Testmodeerkennung für zwei Testmodi (TM1, TM2)

zung bzw. zur externen Kommunikation benutzt wird. Diese Schnittstelle kann so konzipiert werden, dass der Baustein hierüber zusätzlich in den Testmodus gebracht werden kann. Dies bietet den Vorteil, dass keine zusätzlichen Pins notwendig sind. Abbildung 1 zeigt die I²C Schnittstelle eines Bausteins. Im normalen Betrieb dient diese der Kommunikation. Es werden Daten empfangen und in die Register R1 – R3 geschrieben. Eine spezielle Sequenz (z.B. Adresse) konfiguriert den Baustein derart, dass dieser seinen normalen Betriebszustand verlässt und in den Testmodus übergeht. Auch kann ein spezielles Register (R4) beschrieben werden, um in den Testmodus zu gelangen.

In diesem Fall dient das Register (R4) ausschließlich dazu, in den Testmodus zu gelangen. Abbildung 1 zeigt eine solche Konfiguration mit Schnittstelle.

Pins ausschließlich für den Testmodus

Eine einfache und vielfach genutzte Möglichkeit ist es, zusätzliche Pins/Pads zur Verfügung zu stellen, die ausschließlich und nur für den Testmodus verwendet werden. Wenn diese Pads nur beim Probetest zugänglich sind, ist der Zugriff auf die Testmodi auch nur während des Probetests möglich. Dies bedeutet aber auch, dass nicht alle Pads am fertigen Bausteingehäuse als Funktionspin zur Verfügung stehen.

Vorteil dieser Methode ist, das von außen nicht zugängliche Pads auch nicht gegen statische Aufladung oder Latch up geschützt werden müssen. Andererseits erfordert dies aber eine große Testabdeckung beim Probetest und ausreichende Abdeckung beim Endtest.

Multilevel Spannungspegel

Eine vielfach verwendetes Verfahrens beruht darauf, einem Pin die Eigenschaft zu geben, verschiedene Spannungspegel detektieren zu können. Diese prinzipielle Schaltung zur Erkennung von zwei Testmodi (TM1, TM2) ist in Abb. 2 dargestellt.

Aktivierung von TM1

Anheben des Spannungspegel an einem speziellen Pin (hier Pin A) über die höchste auftretende Spannung (VDD) zwingt den Baustein in TM1. Die notwendige Spannungsschwelle (Voltage Threshold VT), um die die Versorgungsspannung (VDD) überschritten werden muss, ist von der Prozesstechnologie abhängig in welcher der Baustein gefertigt ist. Die Spannungsschwelle (VT) liegt meist im Bereich von 0.5 bis 1.0 Volt. Die an Pin A angelegte Spannung muss permanent anliegen um den Baustein im Testmodus (TM1) zu halten. Bei einer Versorgungsspannung (VDD) von 3V muss der Spannungspegel an Pin A auf 3,5 V bis 4.0 V angehoben werden. Nach Aktivierung des Testmodus TM1 kann Pin A nicht mehr wie im normalen Betrieb verwendet werden. Wird die Spannung an Pin A um eine Spannungsschwelle ($VT = 0.5V \dots 1.0V$) auf die Versorgungsspannung ($VDD = 3V$) reduziert, so verlässt der Baustein den Testmodus TM1 und die Funktion von Pin A kehrt wieder in den normalen Betrieb zurück. Wird die normale Funktion von Pin A im Testmodus TM1 benötigt, kann die Aktivierung von TM1 auch durch ein Flip-Flop gespeichert werden. Dies ist in Abbildung 2 dargestellt. Ist der Testmodus TM1 gespeichert, muss die hohe Spannung an Pin A ($VDD + VT$) nicht länger aufrechterhalten werden. Der Pin A steht dann ebenfalls zur Überprüfung der Funktion zur Verfügung. Das Verlassen des Testmodus geschieht durch Rücksetzen des Flip-Flops. Ermöglicht wird dies durch absenken der Spannung unterhalb des VDD Pegels, sowie ein erneutes Anheben auf $VDD + VT$. Danach ist der Baustein wieder im Normalmode.

Aktivierung von TM2

Ein weiterer implementierter Testmodus TM2 kann durch weiteres Erhöhen der Spannung an Pin A über den TM1 Spannungspegel aktiviert werden. Beträgt die angelegte Spannung an Pin A 3,5V bis 4V, so befindet der Baustein im Testmodus TM1. Ein weiteres Ansteigen der Span-

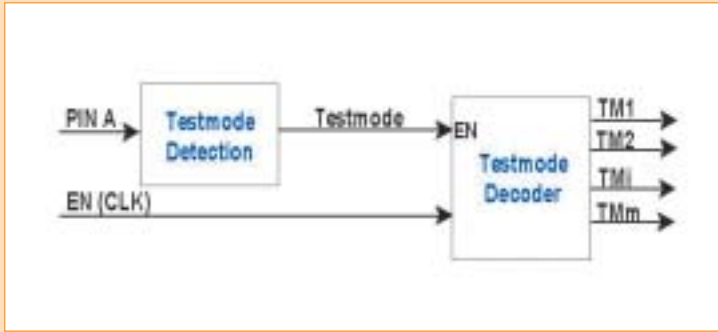


Abb. 3: Testmodedekodierung

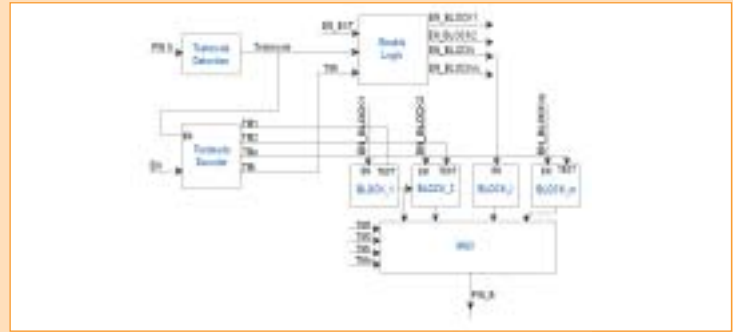


Abb. 4: Blockdiagramm für mehrere zu testende Funktionsblöcke

nung um ein weiteres VT (0,5 V bis 1,0 V) zwingt den Baustein den Testmodus TM1 zu verlassen und in den TM2 zu gelangen. Die Spannung muss stabil anliegen um den Baustein im Testmodus TM2 zu halten. Eine gegenseitige Verriegelung lässt immer nur einen der beiden Testmodi, TM1 oder TM2, zu. Durch absenken des Spannungspegels unterhalb des VDD Pegels an Pin A lässt den Baustein aus dem Testmodus TM2 zurück in den normalen Betrieb fallen.

Neuzuordnung von Pinfunktionen im Testmodus

Bei mehr als zwei Testmodi wird ein zusätzlicher Mechanismus zur Testmodusauswahl benötigt. Nach Aktivierung des Testmodus, wird ein Pin als Takteingang geschaltet. Die Anzahl der angelegten Taktpulse (z.B. steigende Flanke) bestimmt den gewählten Testmodus. Die Länge des Zählers und die Komplexität des Testmodedekoders (Abbildung 3) bestimmen die Anzahl der möglichen implementierten Testmodi. Jeder implementierte Testmodus (TMx) gewährleistet den Test eines internen Funktionsblocks (Funktionsblock 1 ... Block m, siehe Abbildung 4). Dabei werden die Ein- und Ausgänge der internen Blöcke auf extern zugängliche Pins geführt und die internen Funktionsblöcke sind somit testbar. So ist z.B. die Ausgangsstufe von Block

1, nicht als Pin verfügbar, auf den Eingang der nächsten Stufe (Block 2) geführt. Testmodi schalten interne Signale auf extern zugängliche Pins. Der Testmodus TM1 und der Multiplexer führt den Ausgang von Block1 auf den externen Pin B.

Realisierung in einem neuartigen DC/DC-Schaltregler

Die Funktion der DFT-Schaltungen wird am Beispiel eines DC/DC-Schaltreglers erklärt. Dieser enthält hauptsächlich analoge Funktionen, wie große Schalttransistoren, Komparatoren, aber auch digitale Logik. Dieser Baustein kombiniert die Testmodeerkennung mit einem Takt getriebenen Testmodidekoder. Die Testmodeerkennung wird durch einen erhöhten statischen Spannungspegel am LBI Pin (Low Battery Input) aktiviert. Der EN Pin wird dabei gleichzeitig als Takteingang umgeschaltet. Der Spannungspegel (VIN + VT) am LBI Pin schaltet die Testmodeerkennung (Abbildung 2) ein und gibt den Testmodedekoder frei. Der Spannungspegel muss dabei stabil anliegen um den gewählten Testmodus aufrecht zu erhalten. Die Auswahl des gewünschten Testmodus erfolgt nun durch eine Folge von Taktpulsen am EN Pin. Um des Baustein in Testmodus TM2 zu zwingen, müssen zwei Taktpulse am EN Pin angelegt werden (Abb. 5). Der Baustein, ein DC / DC Schaltregler, benutzt die hier beschrie-

bene Methode der Testmodeerkennung sowie den Testmodedekoder. Abb. 6 zeigt die komplette Testabdeckung durch Testmodi eines DC/DC-Schaltreglers. Im vorliegenden Baustein erscheinen nur digitale Signale der internen Blöcke als Ausgänge auf einen gemeinsamen Ausgangspin (LBO, Low Battery Output). Der Zugriff auf die internen Eingänge der Funktionsblöcke ist durch diese Pins möglich, die die gleiche Funktionalität im normalen wie auch im Testmodus besitzen. Durch permanentes Überwachen des LBO Pins kann eine Komparatorschwelle (Block: Error Amplifier) durch das Anlegen einer Spannungsrampe (positiv und negativ) am SENSE Pin sehr genau bestimmt werden. Erreicht die Spannungsrampe die Komparatorschwelle ändert sich des Ausgang des Komparator und kann einfach detektiert werden. Diese Schwellenspannung entspricht dann beispielsweise einem wichtigen Parameter des Datenblattes.

Zusammenfassung

Um eine gleichbleibend hohe Qualität bei der IC Herstellung zu gewährleisten, dürfen keine schadhafte Bauteile an Kunden ausgeliefert werden. In der Vergangenheit angewandte Testlösungen werden den heutigen Anforderungen in vielfältiger Hinsicht nicht mehr gerecht. So ist die Komplexität der ICs gestiegen, neue Bausteine werden in immer kürzer werdenden Zyklen vom Markt gefordert, bei maximal möglicher Testabdeckung. Dieser Tatsache kann nur durch neue, weiterentwickelte Testmethoden Rechnung getragen werden. Nur so können die Ingenieure der Dynamik beim Bauteiletest folgen um die Kunden mit Produkten von höchster Qualität zu bedienen. ■

Literaturquellen

[1] Dr. Christian V. Schimpfle and Joerg Kirchner, Texas Instruments, "A Step-Down Conversion Concept for PWM-mode Boost Converter"

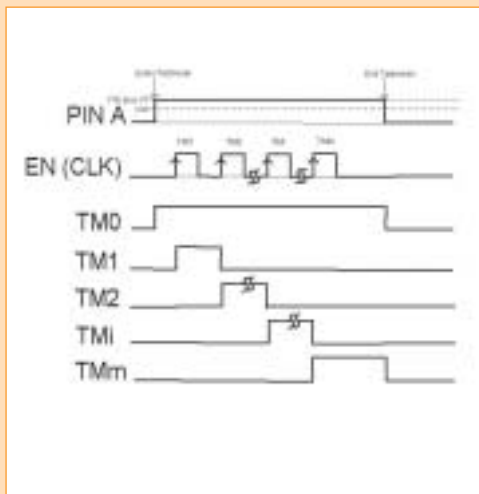


Abb. 5: Timingdiagramm zur Testmodeauswahl

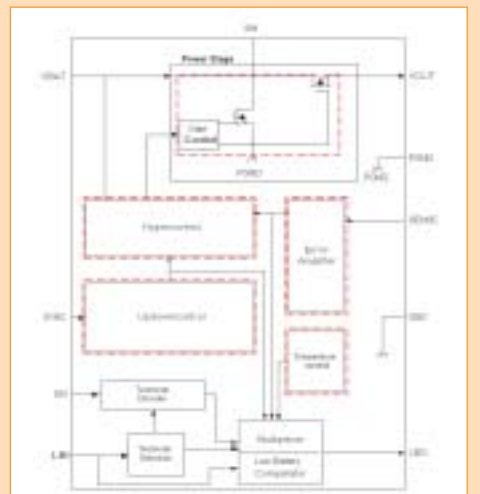


Abb. 6: Blockschaltbild DC/DC-Schaltregler

Weiterführende Infos auf www.duv24.net

more @ click DV044401 >