

# Schnellere Verifikation komplexer Systems-on-Chip

ARM und Synopsys stellen erste Referenz-Verifikationsmethodik der Industrie auf Basis von SystemVerilog vor

Synopsys und ARM arbeiten gemeinsam an der Entwicklung einer Referenz-Methodik zur Definition einer coverage-getriebenen Verifikationsarchitektur mit der offenen Industrie-Standardsprache SystemVerilog. Die beiden Firmen werden die Methodik in einem gemeinsam verfassten SystemVerilog-Verification-Methodology-Manual (VMM) veröffentlichen. DESIGN & VERIFICATION sprach mit Tim Holden, Strategic WW EDA Vendor Relations Manager bei ARM und Swami Venkat, Director of Marketing, RTL Verification über die Ziele und die Idee dieser Entwicklung.

HANNO HARDT



TIM HOLDEN  
Strategic WW EDA Vendor Relations  
Manager  
ARM Limited, Cambridge UK

**KONTAKT**  
T +44 1223 400 400  
tim.holden@arm.com

SWAMI VENKAT  
Director of Marketing,  
RTL Verification Synopsys, Inc.

**KONTAKT**  
T +1 (650) 584-5000  
swami.venkat@synopsys.com



■ **D&V: Herr Venkat, vorab - was werden Ingenieure von dem neuen VMM haben?**

**Swami Venkat:** Das VMM wird Ingenieuren Richtlinien zur Architektur sowie Ergebnisberichte aus der industriellen Praxis zur Verfügung stellen und so

eine effektivere und schnellere funktionale Verifikation komplexer Systems-on-Chip (SoC) ermöglichen. Außerdem bietet es Verification-IP-Entwicklern eine Standard-Verifikationsarchitektur, die die Entwicklung kompatibler Verification-IP begünstigt.

■ **D&V: Was ist die Idee der SystemVerilog Reference Verification Methodology?**

**Tim Holden:** Die im SystemVerilog-VMM beschriebene Methodik kombiniert die Expertise von ARM in der Verifikation komplexer, konfigurierbarer IP, die sich



Beitrag als PDF auf  
www.aud24.net

von SystemC auf Transaktions-ebene bis hin zur timing-kritischen Implementierung auf Register-Transfer-Level (RTL) erstreckt, mit der Stärke von Synopsys bei der Bereitstellung einer integrierten RTL- und System-Verifikationsplattform, einschließlich Tools und Verification-IP. Sie baut auf Ergebnisberichten aus der industriellen Praxis auf und stellt so den Entwurf einer robusten, skalierbaren Verifikationsarchitektur dar.

#### ■ D&V: Welche Vorteile wird die im VMM beschriebene Referenz-Verifikationsmethodik bringen?

**Tim Holden:** Die Methodik wird die Umsetzung einer fortschrittlichen Verifikation, basierend auf einer offenen Industriestandardsprache, beschleunigen. Die Verifikationsproduktivität wird durch die Veröffentlichung von Ergebnisberichten aus der industriellen Praxis gesteigert. Durch die Spezifikation eines Standardsatzes an Bibliotheken mit Assertion-Checkern und allgemein verwendbaren Verifikationsfunktionen zur Stimulusgenerierung, Simulationssteuerung und Coverage-Analyse wird der Zeitaufwand der Verifikation verringert.

#### ■ D&V: Wo wird diese Methodik Anwendung finden?

**Swami Venkat:** Adressieren wird die Methodik alle Aspekte funktionaler Verifikation, inklusive verifikationsfreundlicher Entwurfstechniken durch Verwendung von SystemVerilog-Assertions (SVA) für formale Analyse und dynamische Verifikation, Techniken zur eingeschränkt-zufälligen Stimulus-Generierung, sowie Coverage-Metriken zur raschen Erreichung von Verification-Closure. IP-Lieferanten können zudem an einer konsistenten und gut dokumentierten Architektur festhalten, was Endanwendern die einfache Integration von Verification-IP aus mehreren Quellen ermöglicht.

#### ■ D&V: Warum ist die Referenz-Methodik um SystemVerilog gebaut?

**Tim Holden:** SystemVerilog bietet als offene Industrie-Standardsprache der Industrie zum ersten Mal die Gelegenheit, eine geradlinige Methodik zu definieren, die die Möglichkeit von Assertions, Testbenches und funktionaler Coverage in einer einheitlichen Entwurfs- und Verifikationssprache vereint.

#### ■ D&V: Was ist das SystemVerilog Verification-Methodology-Manual?

**Swami Venkat:** Das Handbuch wird sowohl die für die funktionale Verifikation relevanten Features der Sprache SystemVerilog als auch eine robuste, wiederverwendbare Verifikationsmethodik beschreiben, die eine schnellere und effektivere Entwurfsverifikation ermöglicht. Zudem wird eine Spezifikation eines Standardsatzes an Bibliotheken mit Assertions und allgemein verwendeten Verifikationsfunktionen zur Stimulusgenerierung, Simulationssteuerung und Coverage-Analyse zur Verfügung gestellt und somit die Implementierung der empfohlenen Methodik unterstützt.

#### ■ D&V: Wie wird bei dem Manual die Qualität der Inhalte sichergestellt?

**Tim Holden:** Entwickelt wird das SystemVerilog-VMM auf der Grundlage langjähriger, kollektiver Erfahrung in den Bereichen Verifikation und IP von ARM und Synopsys. Das SystemVerilog-VMM wird Ingenieuren darlegen, wie eine einzelne, wieder verwendbare Umgebung zur Verifikation sowohl in SystemC geschriebener Transaction-Level-Modelle als auch der RTL-Implementierung des Designs geschaffen werden kann. Die im SystemVerilog-VMM dokumentierte Methodik wird die Menge an Code zur Erstellung und Wartung von Tests reduzieren und die umfassende Wiederverwendung innerhalb und zwischen Projekten ermöglichen.

#### Was ist SystemVerilog?

SystemVerilog – die Standard-Hardwarebeschreibungs- und -verifikationssprache (Hardware Description and Verification Language, HDVL) – ist eine evolutionäre Erweiterung der IEEE-1364-2001-Sprache Verilog und wurde von Accellera entwickelt, um die Produktivität beim Entwurf umfangreicher, IP-basierter und bus-intensiver SoCs drastisch zu steigern. SystemVerilog ist primär auf den Implementierungs- und Verifikationsflow des Chips ausgerichtet, mit leistungsfähigen Anbindungen an den System-Level-Design-Flow.

Die wichtigsten für SoC spezifischen Verbesserungen gegenüber Verilog-2001 beinhalten:

- ▶ Die Unterstützung der Modellierung und Verifikation auf „Transaktionsebene“. SystemVerilogs Direct Programming Interface (DPI) ermöglicht den „Aufruf“ von C-/C++-/SystemC-Funktionen, und umgekehrt.
- ▶ Einen Satz von Erweiterungen zur Adressierung moderner Entwurfsanforderungen. Beispiele hierfür sind Modellierungsschnittstellen, die die Entwicklung bus-intensiver Entwürfe deutlich beschleunigen, Beseitigung von Restriktionen bzgl. Portverbindungen von Modulen, Zulassen beliebiger Datentypen auf beiden Seiten eines Ports, erweiterte Datentypen für C-Modellierung und verbesserten IP-Schutz.
- ▶ Einen neuen Mechanismus zur Unterstützung von Assertions, was eine Design-for-Verification-Methodik ermöglicht.
- ▶ Neue Features zur Unterstützung von Hardware-Modellen und Testbenches, welche objekt-orientierte Techniken nutzen.

#### ■ D&V: Wann wird das VMM vorgestellt?

**Tim Holden:** Das SystemVerilog-Verification-Methodology-Manual wird bei der Design Automation Conference (DAC) 2004 im Juni vorgestellt.

#### ■ D&V: Wie wird die im SystemVerilog-VMM beschriebene Methodik mit SystemC funktionieren?

**Swami Venkat:** Die im SystemVerilog-VMM beschriebene Methodik wird die Verwendung von SystemC-Transaction-Level-Modellen innerhalb der Verifikationsumgebung für System-Level-Verifikation unterstützen, und wird definieren, wie diese SystemC-Modelle mit SystemVerilog kommunizieren.

#### ■ D&V: Und wie wird die im SystemVerilog-VMM beschriebene Methodik

#### mit Verilog und VHDL funktionieren?

**Swami Venkat:** Die Methodik wird die Integration sowohl des RTL-Designs als auch jeglicher in Verilog oder VHDL geschriebener Verification-IP innerhalb der Verifikationsumgebung unterstützen.

#### D&V: Wir bedanken uns für das Gespräch.

Beitrag als PDF auf [www.duv24.net](http://www.duv24.net)

more @ click DV044251 >