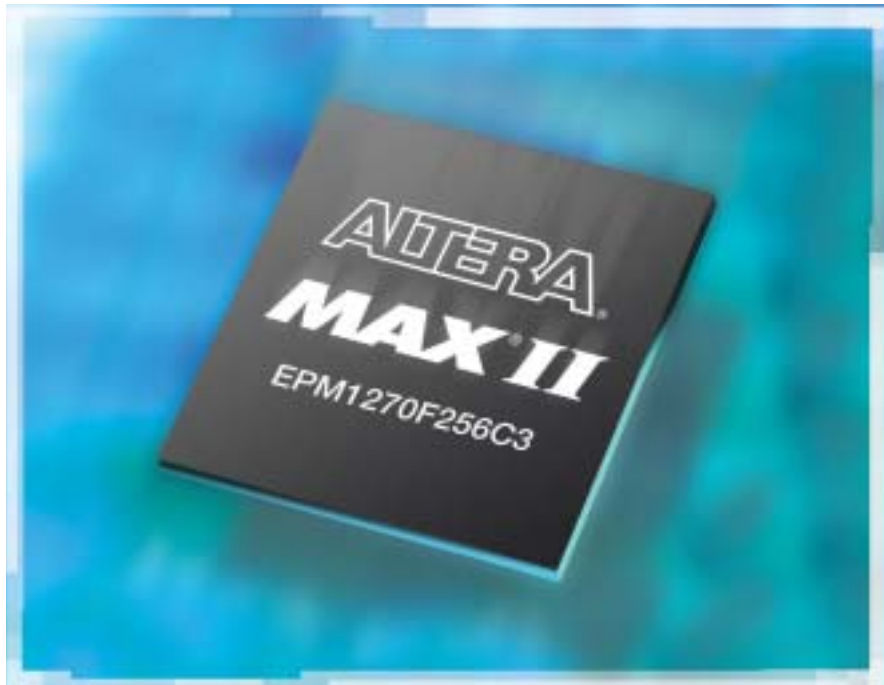


# Mehr Funktionalität bei reduzierten Kosten

## MAX II-CPLDs mit LUT-basierter Architektur

In vielen Elektroniksystemen werden CPLDs (Complex Programmable Logic Devices) für Kontrollsignal-funktionen verwendet. Beispiele sind das zeitlich versetzte Aufschalten von Spannungen (Sequencing), Systemkonfiguration und Initialisierung, I/O-Erweiterung und das „Bridging“ zwischen verschiedenen Schnittstellen. Da die Systeme immer komplexer werden, muss auch die Komplexität der Logik für die Implementierung des Kontrollpfads steigen. Die neuen MAX II-CPLDs kommen dieser Forderung nach.

LUANNE M. SCHIRRMEISTER



MAX II-CPLDs bieten die vierfache Komplexität und doppelte Geschwindigkeit, bei der Hälfte der Kosten und einem Zehntel der Leistungsaufnahme im Vergleich zur Vorgänger-Generation

**H**erkömmliche CPLD-Architekturen, die auf Produkttermen bzw. Makrozellen basieren, sind oft nicht mehr in der Lage, höhere Ansprüche an Leistung und Komplexität kosteneffektiv zu unterstützen. Die Folge davon: Entwickler, die komplexere Systeme aufbauen, waren gezwungen auf ASICs, ASSPs oder FPGAs zu setzen, um ein gutes Verhältnis zwischen Kosten und Komplexität zu erreichen. Diesen Alternativen mangelt es aber an Eigenschaften, die CPLDs für Anwendungen im Kontrollpfad prädestinieren: Nichtflüchtigkeit, Wiederprogrammierbarkeit oder die Fähigkeit, direkt nach dem Anschalten (instant-on) betriebsbereit zu sein. Außerdem können ASICs und ASSPs die Entwicklungskosten, das Design-Risiko und die Time-to-Market erhöhen. Board-Designer profitieren daher von einer CPLD-Architektur, die auf eine kosteneffektive Art und Weise sofort betriebsbereite (instant-on), nichtflüchtige Bausteine mit einer höheren Komplexität ermöglicht. Die MAX II-Familie basiert auf einer neuen

Logikarchitektur und ist auf geringste Kosten getrimmt. MAX II-CPLDs werden mit einem 0,18-µm-Prozess mit sechs Metallisierungslagen gefertigt und stellen die hohen Komplexitäten zur Verfügung, die für eine fortschrittliche Systemsteuerung notwendig sind. Die nichtflüchtigen, Instant-on-Bausteine kosten dabei etwa um die Hälfte weniger als die früheren MAX-CPLDs und nehmen nur ein Zehntel der Leistung auf.

### Die Kosten

Die MAX II-Architektur reduziert die Kosten in programmierbaren General-Purpose-Logik-Designs. Drei grundlegende Designtechniken sind dafür verantwortlich, dass die MAX II-Familie die ehrgeizigen Ziele bei der Kostenreduzierung erreichen konnte:

Zum einen wurden die I/O-Zellen hinsichtlich ihrer Größe optimiert und versetzt in einem Ring angeordnet, wodurch sie sich für gängige kostengünstige TQFP- (Thin-Quad-Flat-Pack)



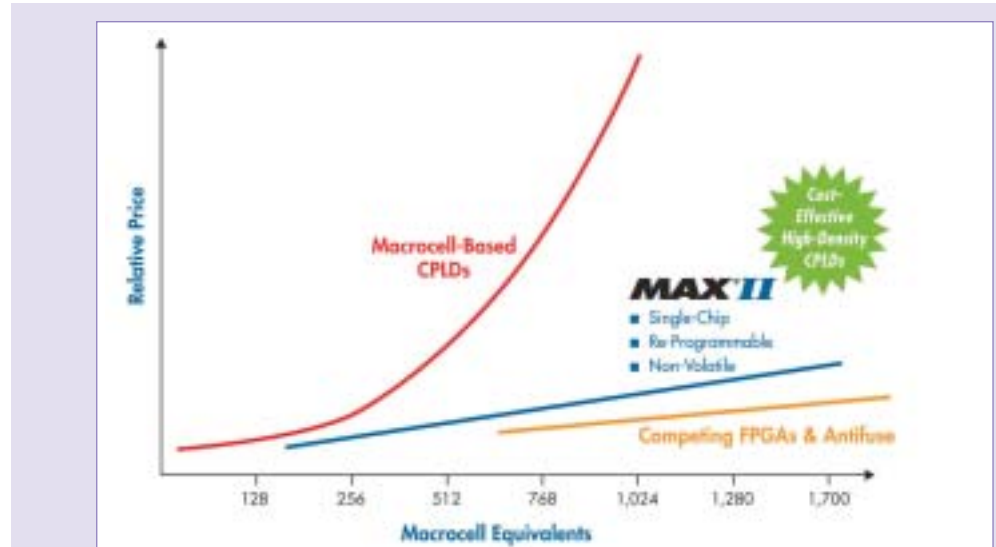
LUANNE M. SCHIRRMEISTER,  
Marketingleiter für CPLD-Produkte  
bei der Altera Corporation  
in San Jose, USA

**KONTAKT**  
T +1/408/544-7000  
lschirr@altera.com

und FineLine-BGA-Gehäuse eignen. Um die niedrigsten Kosten pro I/O zu erhalten, sind die MAX II-Bausteine Pad-limitiert. Mit anderen Worten: Die Größe des Chips wird durch die Anzahl der I/O-Zellen auf dem „Die“ definiert. Wird die absolute Chipfläche eines Bausteins reduziert, hat dies direkte Auswirkungen auf die Kosten und die Performance des Bausteins. Deshalb ist es von entscheidender Bedeutung, die I/O-Zellen möglichst klein zu machen. Durch die spezielle Anordnung der I/O-Zellen in einer versetzten Ringstruktur ist es möglich, die Die-Größe weiter zu reduzieren und dementsprechend die Kosten pro I/O weiter zu senken. Zum anderen hat Altera eine kosteneffektive Prozesstechnologie für die Fertigung der MAX II-Familie gewählt, die sich auch noch durch eine geringe Leistungsaufnahme auszeichnet: eine kostengünstige Flash-Technologie mit einer Strukturgröße von 0,18 µm und sechs Metallisierungslagen. Damit kann man den Forderungen seitens der Kunden nach Instant-on und Nichtflüchtigkeit gerecht werden und gleichzeitig die Leistungsaufnahme extrem verringern. Schlussendlich wurde eine neue Logikarchitektur entwickelt, um in Verbindung mit einer vorbestimmten Chipgröße und einem feststehenden Herstellungsprozess die höchste Komplexität und Leistung innerhalb der verfügbaren Chipfläche zu ermöglichen. Das letztendliche Ergebnis: die kostengünstigen CPLDs.

### Differenzierung von CPLDs und FPGAs

Historisch gesehen unterscheiden sich CPLDs aufgrund ihrer internen Logikarchitektur von FPGAs. Die interne Architektur der meisten



Vergleich der Kostenentwicklung bei CPLDs in Relation zur Komplexität

PLDs basiert auf Produkttermen bzw. Makrozellen, während in FPGA-Ansätzen meist Look-up-Tabellen (LUTs) als Grundeinheit dienen. Im Markt für programmierbare Logik herrscht Übereinkunft, dass Produkttermarchitekturen ab rund 20.000 Gattern bzw. unter Strukturen von 0,22 Mikrometer nicht effizient skalierbar sind. Für höhere Komplexitäten ist die LUT-Architektur deutlich effizienter, was die Ausnutzung der Chip-Fläche anbelangt. Außerdem ermöglicht sie enorme Kostenvorteile sowie eine höhere Geschwindigkeit, höhere Komplexitäten und eine geringere Leistungsaufnahme pro Gatter. In der MAX II-Familie nutzt Altera die Vorteile einer LUT-basierenden Architektur, um einen vollständig neuen Typ von CPLD anbieten zu können. Durch die Kombination einer LUT-basierenden Architektur mit den bekannten Vorteilen

von CPLDs – Instant-on, nichtflüchtig und wiederprogrammierbar – können jetzt schnellere, effizientere CPLDs angeboten werden, die sich zudem durch eine geringere Leistungsaufnahme und durch die Hälfte des Preises gegenüber der früheren Generation auszeichnen. Neben der Kostensenkung bei dem eigentlichen CPLD verfügt die MAX II-Architektur auch über eine Anzahl von Board-Management-Funktionen, mit der die Kosten und der Platzbedarf auf der Leiterplatte noch weiter gesenkt werden können, während gleichzeitig die Zuverlässigkeit verbessert wurde.

### Vom Anwender nutzbarer Flash-Speicher

Der User-Flash-Speicher ist ein nichtflüchtiger Speicherblock innerhalb des MAX-II-Bausteins, der bis zu 8 Kbit Daten speichern kann. Damit lassen sich wiederum Kosten senken, Leiterplattenplatz einsparen und die Zugriffszeit reduzieren. Denn mit Hilfe des integrierten Flash-Speichers steht eine Funktionalität zur Verfügung, die sonst nur mit Hilfe eines separaten EEPROMs auf dem Board realisiert werden kann. Die MAX II-Bausteine sind die ersten CPLDs, die diese Funktion aufweisen. Typische Anwendungen für den User-Flash beinhalten das Speichern von allgemeinen Organisationsinformationen über das Board – beispielsweise die Fertigungs-ID-Nummer –, Informationen über Änderungen des Boards ▶

Die Mitglieder der MAX II-Familie				
Merkmal	EPM240	EPM570	EPM1270	EPM2210
LEs	240	570	1270	2210
Äquivalente Anzahl von Makrozellen (typ.)	192	440	980	1700
Max. User-I/O-Pins	80	160	212	272
User-Flash (bits)	8192	8192	8192	8192
Speed-Grades	3, 4, 5	3, 4, 5	3, 4, 5	3, 4, 5
t <sub>pd1</sub> Corner-to-Corner Signalverzögerung(ns)	4,5	5,5	6,0	6,5
t <sub>pd2</sub> max. Geschwindigkeit (ns)	3,6	3,6	3,6	3,6
Gehäuse	100-pin TQFP	100-pin TQFP 144-pin TQFP 256-pin BGA	144-pin TQFP 256-pin BGA	256-pin BGA 324-pin BGA

bzw. der Software oder Diagnosestatistiken zum Power-Management.

## Multi-Volt-Core

Dank des speziellen MultiVolt-Cores kann man die MAX II-Bausteine mit einer von drei Core-Spannungen betreiben. Das bringt einerseits die Performance-, Kosten- und Leistungsvorteile des 0,18- $\mu$ m-Fertigungsprozesses zur Geltung und unterstützt andererseits auch 3,3-V-Betriebsspannungen. Ein interner Spannungsregler regelt die anliegende Spannung auf 1,8 V herunter, wodurch der Anwender wählen kann, welche Spannung für ein spezielles Design auf Board-Level am besten passt. Damit kann auf den sonst erforderlichen externen Spannungsregler verzichtet werden.

## Flexible I/O-Bänke

Die MAX II-Architektur bietet flexible I/Os. In den zwei kleineren Bausteinen sind zwei I/O-Bänke integriert, in den zwei komplexeren Bausteinen sind es vier. Jede I/O-Bank hat ihren eigenen VCCIO-Pin und kann unabhängig von den anderen konfiguriert werden. Dadurch können 1,5-V-, 1,8-V-, 2,5-V- und 3,3-V-Schnittstellen unterstützt werden. Außerdem kann jede I/O-Bank unabhängig von der anderen unterschiedliche I/O-Standards unterstützen, wie beispielsweise LVTTTL, LVCMOS oder PCI.



LUT-basierte Architektur für mehr Effizienz

## ISP in Echtzeit

MAX II-Bausteine verfügen über die Fähigkeit, ein Update der Bausteinprogrammierung während des Betriebs zu ermöglichen (In-System-Programmierbarkeit). Die neuen Programmierdaten werden wirksam, ohne das System herunter zu fahren oder neu zu starten. Diese Funktion erlaubt Updates von Board-Managementfunktionen ohne kostspielige Systemabschaltungen. Es ist auch kein Ingenieur notwendig, der zu entfernten Orten fährt, um die notwendigen Updates durchzuführen. Bei einem Update von Systemen, die nicht vor

Ort sind, wird typischerweise ein CPLD zur Steuerung der Konfiguration eines FPGAs und Mikrocontrollers und zum zeitversetzten Aufschalten der Spannungen genutzt. CPLDs können auch für andere Anwendungen eingesetzt werden, wie beispielsweise zur I/O-Erweiterung von Mikrocontrollern. Im Falle eines Remote-Updates kann die FPGA-Konfiguration erneuert werden, ohne die I/O-Erweiterung des Mikrocontrollers zu stören.

## Fazit

Während CPLDs traditionell für Funktionen im Kontrollpfad genutzt wurden, zwangen ihre begrenzte Komplexität und Leistungsfähigkeit die Entwickler dazu, in fortschrittlichen Systemen auf kostspieligere Alternativen wie ASICs, FPGAs und ASSPs zurückzugreifen. Die CPLDs der MAX II-Familie von Altera sind mit einer LUT-basierten Architektur ausgestattet, die entscheidende Vorteile in Bezug auf Kosten, Leistungsaufnahme und Performance mit sich bringt. Diese neuen Bausteine eignen sich für die anspruchvollsten Kontrollpfadanwendungen, während sie gleichzeitig Vorteile aufweisen, die sie auch zur ersten Wahl für andere Applikationen, wie die I/O-Erweiterung von Mikrocontrollern, machen. ■

Weiterführende Infos auf [www.duv24.net](http://www.duv24.net)

more @ click DV044201 >



UDO RENZ, Geschäftsführer der Altera GmbH in Unterschleißheim bei München

KONTAKT  
urenz@altera.com

■ **D&V nachgefragt:** Herr Renz, seit Jahren haben CPLDs eine nahezu unveränderte Basistechnologie. Jetzt führt Altera mit MAX II eine neue CPLD-Architektur ein. Warum?

**Udo Renz:** „Mit einem Marktanteil von über 40 Prozent und mehr als 350 Millionen ausgelieferten Chips in nahezu 15 Jahren kann Altera die führende Position bei CPLDs für sich beanspruchen. Mit der Ankündigung von MAX II auf Basis einer komplett neuen CPLD-Architektur läuten wir die Fortschreibung dieser Erfolgsstory bei höheren Marktanforderungen ein. Im Unterschied zu her-

kömmlichen CPLDs mit Makrozellen-Struktur und EEPROM-CMOS-Prozess werden die MAX II-Bausteine mit einem 0,18- $\mu$ m-Embedded-Flash-Prozess auf Basis einer LUT(Look-Up-Table)-Architektur gefertigt. Daraus resultieren deutliche Kosten- und Performancevorteile.“

■ **D&V: Wie bewerten Sie das Marktpotential der neuen CPLDs?**

**Udo Renz:** „Neben dem traditionellen CPLD-Markt suchen unsere Kunden eine Alternative zu kleinen und wenig flexiblen ASICs oder ASSPs. Das eröffnet weitere große Möglichkeiten für CPLDs. Die MAX II-CPLDs sind eine ideale Alternative für kleinere ASICs und ASSPs in Konsumer-, Kommunikations-, Industrie- und Computerapplikationen. Wir erwarten daher für dieses Marktsegment einen Anstieg von 500 Millionen auf etwa 2 Milliarden US-Dollar. Potenzielle neue Applikationen sehen wir u.a. im Bus-Bridging, bei der Baustein-Konfiguration, I/O-Erweiterung und im Power-up-Management.“

■ **D&V: Was sind die wichtigsten Merkmale der neuen CPLD-Familie?**

**Udo Renz:** „Auf die Anregungen und Wünsche von mehr als 500 Kunden bzw. Entwicklern hin wurden die Ziele für die neue MAX II-Familie definiert. Das grundlegende Problem bestand darin, die notwendigen Fortschritte auf Basis einer 15 Jahre alten CPLD-Technologie zu erzielen. Um die Anforderungen an moderne CPLDs erfüllen zu können und die gewünschten Leistungsmerkmale zu erzielen, setzte Altera auf einen nichtflüchtigen Embedded-Flash-Prozess und adaptierte die LUT-Architektur seiner komplexen FPGAs auf die CPLDs. Durch diesen komplett neuen Ansatz konnte die Geschwindigkeit verdoppelt, die Komplexität vervierfacht und die Leistungsaufnahme auf ein Zehntel reduziert werden. Darüber hinaus beträgt die Chipfläche nur ein Viertel im Vergleich zu Wettbewerbsprodukten.“